

## (12) NACH DEM VERTRAC ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro

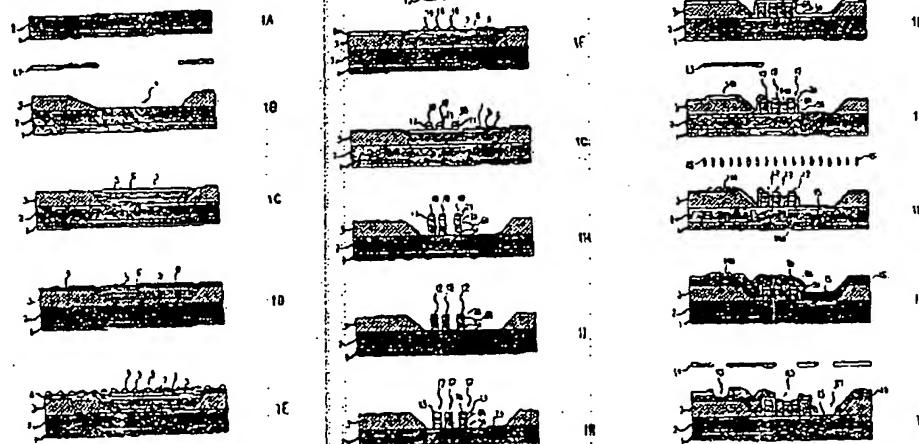
(43) Internationales Veröffentlichungsdatum  
25. Januar 2001 (25.01.2001)

PCT

(10) Internationale Veröffentlichungsnummer  
WO 01/06542 A2

(51) Internationale Patentklassifikation: H01L (72) Erfinder; und  
 (21) Internationales Aktenzeichen: PCT/DE00/02316 (75) Erfinder/Anmelder (nur für US): SCHULZ, Thomas  
 (22) Internationales Anmeldedatum: 17. Juli 2000 (17.07.2000) [DE/DE]; Annette Kolb Anger 13/V, 81737 München  
 (25) Einreichungssprache: Deutsch (DE). RÖSNER, Wolfgang [DE/DE]; Heinzelmannchen-  
 (26) Veröffentlichungssprache: Deutsch str. 2, 81739 München (DE). FRANOSCH, Martin  
 (30) Angaben zur Priorität: 199 33 564.8 16. Juli 1999 (16.07.1999) DE [DE/DE]; Helmut-Käutner-Str. 27, 81739 München (DE).  
 (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
 US): INFINEON TECHNOLOGIES AG [DE/DE]; St.  
 Martin-Str. 53, 81541 München (DE). SCHÄFER, Herbert [DE/DE]; Lerchenstr. 33, 85635  
 Höhenkirchen-Siegertsbrunn (DE). RISCHB, Lothar  
 (74) Gemeinsamer Vertreter: INFINEON TECHNOLO-  
 GIES AG; Zedlitz, Peter, Postfach 22 13 17, 80503  
 München (DE).  
 (81) Bestimmungsstaaten (national): JP, KR, US.

(Fortsetzung auf der nächsten Seite)

(54) Titel: METHOD FOR PRODUCING A VERTICAL SEMICONDUCTOR TRANSISTOR COMPONENT ELEMENT AND  
A VERTICAL SEMICONDUCTOR TRANSISTOR COMPONENT(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINES VERTIKAL-HALBLEITERTRANSISTORBAUELEMENTS  
UND VERTIKAL-HALBLEITERTRANSISTORBAUELEMENT

(57) Abstract: According to the invention, a double gate MOSFET semiconductor layer structure is formed on a substrate (1). This structure is comprised of a first and of a second gate electrode (10A, 10B) between which a semiconductor channel layer zone (4A) is embedded, and of a source region (2A) and a drain region (2B) which are arranged on opposite faces of the semiconductor channel layer zone (4A). At least one additional semiconductor channel layer zone (6A) is provided on one of the gate electrodes (10B). The faces of the at least one additional semiconductor channel layer zone are also contacted by the source region (2A) and drain region (2B).

(Fortsetzung auf der nächsten Seite)

WO 01/06542 A2

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
25. Januar 2001 (25.01.2001)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 01/06542 A3**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 21/336, 21/335, 29/76**

(21) Internationales Aktenzeichen: **PCT/DE00/02316**

(22) Internationales Anmeldedatum:  
17. Juli 2000 (17.07.2000)

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:  
199 33 564.8 16. Juli 1999 (16.07.1999) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG [DE/DE]; St-Martin-Str. 53, 81541 München (DE)**.

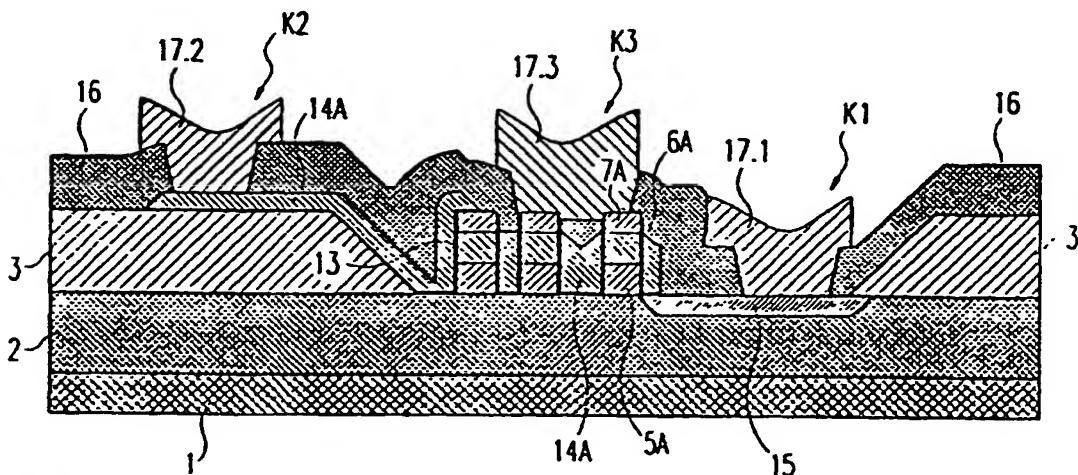
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **SCHULZ, Thomas [DE/DE]; Annette Kolb Anger 13/V, 81737 München (DE). RÖSNER, Wolfgang [DE/DE]; Heinzelmännchenstr. 2, 81739 München (DE). FRANOSCH, Martin [DE/DE]; Helmut-Käutner-Str. 27, 81739 München (DE). SCHÄFER, Herbert [DE/DE]; Lerchenstr. 33, 85635 Höhenkirchen-Siegertsbrunn (DE). RISCH, Lothar [DE/DE]; Annette Kolb Anger 13/V, 81739 München (DE). ÄUGLE, Thomas [DE/DE]; Albert-Schweitzer-Str. 38, 81735 München (DE).**

[Fortsetzung auf der nächsten Seite]

(54) Title: **METHOD FOR PRODUCING A VERTICAL SEMICONDUCTOR TRANSISTOR COMPONENT ELEMENT AND A VERTICAL SEMICONDUCTOR TRANSISTOR COMPONENT**

(54) Bezeichnung: **VERFAHREN ZUR HERSTELLUNG EINES VERTIKAL-HALBLEITERTRANSISTORBAUELEMENTS UND VERTIKAL-HALBLEITERTRANSISTORBAUELEMENT**



**WO 01/06542 A3**

(57) Abstract: According to the invention, a double gate MOSFET semiconductor layer structure is formed on a substrate (1). This structure is comprised of a first and of a second gate electrode (10A, 10B) between which a semiconductor channel layer zone (4A) is embedded, and of a source region (2A) and a drain region (2B) which are arranged on opposite faces of the semiconductor channel layer zone (4A). At least one additional semiconductor channel layer zone (6A) is provided on one of the gate electrodes (10B). The faces of the at least one additional semiconductor channel layer zone are also contacted by the source region (2A) and drain region (2B).

(57) Zusammenfassung: Auf einem Substrat (1) ist eine Doppel-Gate-MOSFET-Halbleiterschichtstruktur aufgebaut. Diese besteht aus einer ersten und einer zweiten Gateelektrode (10A, 10B), zwischen denen eine Halbleiter-Kanalschichtzone (4A) eingebettet ist, sowie einem Source- (2A) und Drain-Bereich (2B), welche an gegenüberliegenden Stirnseiten der Halbleiter-Kanalschichtzone (4A) angeordnet sind. An einer der Gateelektroden (10B) ist zumindest eine weitere Halbleiter-Kanalschichtzone (6A) vorgesehen, deren Stirnseiten ebenfalls von dem Source- (2A) und Drain-Bereichen (2B) kontaktiert sind.